

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

04-358422

(43)Date of publication of application : 11.12.1992

(51)Int. CI.

H04B 1/26

H04B 1/18

(21)Application number : 03-134320

(71)Applicant : SHARP CORP

(22)Date of filing : 05.06.1991

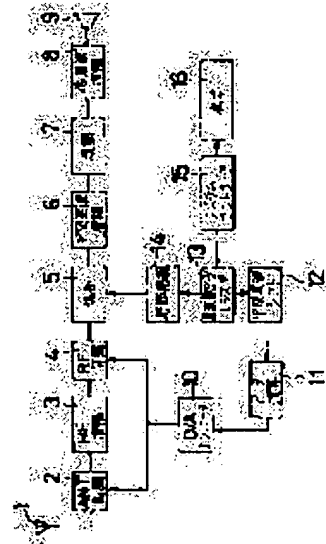
(72)Inventor : UCHINO TADAHARU

(54) RECEIVER

(57)Abstract:

PURPOSE: To shorten the time required for selection of channels without increasing the cost for a superheterodyne receiver.

CONSTITUTION: A local oscillator 14 outputs a local oscillation signal having a frequency corresponding to the digital data designated by a system controller 15. A data arithmetic circuit 11 computes the DC voltage data equivalent to the desired reception frequency corresponding to the designated digital data. The computed voltage data is received by a D/A converter 10, and the converter 10 gives the DC voltage corresponding to the received data to an antenna tuning circuit 2 and an RF tuning circuit 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-358422

(43) 公開日 平成4年(1992)12月11日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/26	C 7189-5K		
	1/18	C 7189-5K		

審査請求 未請求 請求項の数1(全 7 頁)

(21) 出願番号 特願平3-134320

(22) 出願日 平成3年(1991)6月5日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 内野 忠治

大阪市阿倍野区長池町22番22号 シャープ株式会社内

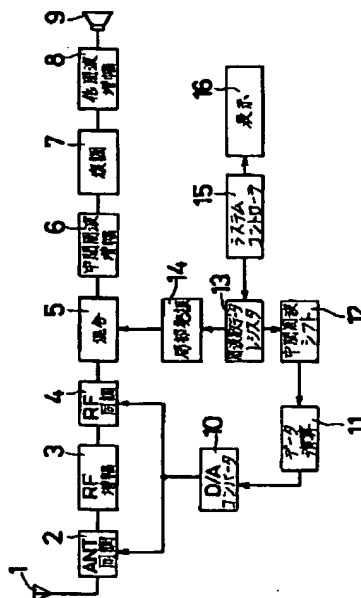
(74) 代理人 弁理士 西教 圭一郎 (外1名)

(54) 【発明の名称】 受信機

(57) 【要約】

【目的】 スーパーヘテロダイン方式の受信機において、コストを増大させることなく選局動作時間を短縮化する。

【構成】 システムコントローラ15によって指定されるデジタルデータに対応する周波数の局発信号を局部発振器14から出力する。その指定されたデジタルデータに対応する希望受信周波数に相当する直流電圧データをデータ演算回路11で演算し、そのデータを受けるD/Aコンバータ10からアンテナ同調回路2およびRF同調回路4に対してデータに対応する直流電圧を与える。



(2)

特開平4-358422

1

【特許請求の範囲】

【請求項1】 入力される直流電圧で制御可能な希望受信周波数同調手段と、希望受信周波数またはこれに対応する局部発振周波数をデジタルデータとして指定する周波数指定手段と、周波数指定手段によって指定されたデジタルデータに対応する周波数で発振する局部発振手段と、周波数指定手段によって指定されたデジタルデータに基づき、前記希望受信周波数同調手段に入力すべき直流電圧のデータを演算する演算手段と、演算手段によって演算されたデータから直流電圧を生成して前記希望受信周波数同調手段に与える直流電圧生成手段とを備えたスーパーヘテロダイン方式の受信機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、スーパーヘテロダイン方式の受信機（以下、スーパー受信機とも略称する）に関する。

【0002】

【従来の技術】 図6は、従来のシンセサイザ方式のスーパー受信機の概略的な構成を示すブロック図である。このスーパー受信機では、アンテナ41による受信信号がアンテナ同調回路42、高周波増幅器（以下、RF増幅器と略称する）43、高周波同調回路（以下、RF同調回路と略称する）44を経て混合器45に入力される。

【0003】 一方、共振回路50に接続されている局部発振器51では、希望受信周波数と中間周波数との差分の周波数の局発信号が得られ、この局発信号が混合器45に入力される。混合器45では、入力される受信信号と局発信号とから中間周波数成分が出力され、その出力が中間周波増幅器46で増幅され復調回路47および低周波増幅器48を経てスピーカ49に与えられる。

【0004】 また、局部発振器51の出力は分周器52を経て位相比較器54に、基準周波数発振器57の出力は分周器53を経て位相比較器54にそれぞれ入力され、これら2入力の位相差に比例した直流電圧が位相比較器54から出力される。

【0005】 この直流電圧はアンテナ同調回路42、RF同調回路44および共振回路50に入力され、共振回路50では内部に有する可変容量ダイオードの容量が上記直流電圧に応じて変化し、これによって位相比較器54への2入力の位相差が0になるように帰還がかけられる。すなわち、局部発振器51、分周器52、位相比較器54および共振回路50は、フェーズロックループ（以下、PLLと略称する）を構成する。

【0006】 このスーパー受信機の場合、基準周波数発振器57として水晶発振器が使用され、この安定した周波数源の出力を分周した信号を基準として位相比較が行われるので、局部発振器51の周波数安定度として、基準周波数発振器57の周波数安定度と同等のものを確保

2

できる。

【0007】 一般的には受信周波数を可変にするために、分周器52の分周比をシステムコントローラ55で変化させて目的の局部発振周波数を得る一方、その局部発振周波数に対応する受信周波数を表示器56で表示するように構成されている。

【0008】 また、位相比較器54から出力される直流電圧は、アンテナ同調回路42およびRF同調回路44の構成素子である可変容量ダイオードにも印加される。さらに、これら同調回路42、44の2つの同調周波数を局部発振器51の発振周波数とトラッキング状態で可変できるように、一般的に共振回路50の中にはパッシングコンデンサが挿入されている。

【0009】 このように構成されたスーパー受信機では、最低受信周波数と最高受信周波数との比が3倍程度の受信帯域幅を特定の周波数間隔で切換え受信することができ、広く実用されている。

【0010】 図7は、従来のダイレクトシンセサイザ方式のスーパー受信機の概略的な構成を示すブロック図である。このスーパー受信機では、アンテナ61による受信信号がバンドパスフィルタ（BPF）62、RF増幅器63、バンドパスフィルタ64を経て混合器65に入力される。

【0011】 また、局部発振器70から出力される局発信号も混合器65に入力される。混合器65では、入力される受信信号と局発信号とから中間周波数成分が出力され、その出力が中間周波増幅器66で増幅され復調回路67および低周波増幅器68を経てスピーカ69に与えられる。

【0012】 局部発振器70から出力される局発信号の周波数は、システムコントローラ71からのデータ信号によって任意に設定可能であり、そのデータ信号に対応する受信周波数が表示器72で表示される。

【0013】 このように構成されたスーパー受信機では、受信機に求められる2信号選択度、混変調その他の性能を考慮して合理的に決められるバンドパスフィルタ62、64の帯域内での受信において、その受信周波数を高速に切換えることができ、選局時間を大幅に短縮することができる。したがって、高速選局実現の手段や、送信・受信の周波数を高速に切換える必要のあるトランシーバ用局部発振器として広く実用されている。

【0014】

【発明が解決しようとする課題】 ところが、図6に示すPLLを採用したシンセサイザ方式のスーパー受信機では、局部発振器51の周波数を切換えたとき、PLLがロックアップして局発信号の周波数が確定するまでに100msec前後の時間を必要とし、選局動作時間短縮化のネックとなっている。一般的に、この方式のスーパー受信機で20MHz程度の帯域幅を50KHzステップで選局動作させようすると1分間程度かかること

3

になってしまう。

【0015】一方、図7に示すダイレクションセサイザ一方式のスーパー受信機では、局発信号の周波数切換えを瞬時に行え、適正な回路を併用することで選局動作時間を1msec以内に抑えることができる反面、許容できる受信帯域幅に限界がある。すなわち、この受信機において受信帯域幅を広げようとする、バンドパスフィルタ62, 64を多数用意し、これらを切換えるという構成を採る必要があり、コストが増大するという問題点を有する。

【0016】したがって、本発明の目的は、コストを増大させることなく選局動作時間を短縮化できるスーパーヘテロダイン方式の受信機を提供することである。

【0017】

【課題を解決するための手段】本発明は、入力される直流電圧で制御可能な希望受信周波数同調手段と、希望受信周波数またはこれに対応する局部発振周波数をデジタルデータとして指定する周波数指定手段と、周波数指定手段によって指定されたデジタルデータに対応する周波数で発振する局部発振手段と、周波数指定手段によって指定されたデジタルデータに基づき、前記希望受信周波数同調手段に入力すべき直流電圧のデータを演算する演算手段と、演算手段によって演算されたデータから直流電圧を生成して前記希望受信周波数同調手段に与える直流電圧生成手段とを備えたスーパーヘテロダイン方式の受信機である。

【0018】

【作用】本発明に従えば、周波数指定手段によって指定されるデジタルデータに対応する周波数の局発信号が局部発振手段から出力され、その指定されたデジタルデータに基づき演算手段によって対応する希望受信周波数に相当する直流電圧データが演算され、そのデータを受けた直流電圧生成手段から希望受信周波数同調手段に対してデータに対応する直流電圧が与えられる。その結果、希望受信周波数同調手段では、周波数指定手段によって指定されるデジタルデータに対応する希望受信周波数に同調し、その周波数の信号が受信可能となり、PLLを要することなく選局動作時間を短縮化でき、コストも低減できる。

【0019】

【実施例】図1は、本発明の一実施例である受信機の概略的な構成を示すブロック図である。この受信機は、プログラム制御可能な局部発振器14、入力される直流電圧によってそれぞれ制御されるアンテナ同調回路2およびRF同調回路4を備えたスーパー受信機であって、アンテナ1による受信信号がアンテナ同調回路2、RF増幅器3、RF同調回路4を経て混合器5に入力される。

【0020】混合器5は、RF同調回路4を経て入力される受信信号と局部発振器14から入力される局発信号とから中間周波数成分を出力するための回路であり、そ

(3)

特開平4-358422

4

の出力が中間周波増幅器6で増幅され、復調回路7および低周波増幅器8を経てスピーカ9に与えられる。

【0021】前記局部発振器14には、周波数データレジスタ13が接続される。この周波数データレジスタ13は、システムコントローラ15から与えられるデジタルデータである周波数データを保持するための回路であり、この場合の周波数データとは希望受信周波数 f に対応する局部発振周波数 f_0 のデータである。周波数データレジスタ13から出力される局部発振周波数 f の周波数データを受けて、局部発振器14はその局部発振周波数 f_0 で発振する。上記システムコントローラ15には表示器16が接続され、この表示器16で上記周波数データに対応する希望受信周波数 f が表示される。

【0022】また、上記周波数データレジスタ13には中間周波シフト回路12が接続されている。この中間周波シフト回路12は、周波数データレジスタ13から与えられる局部発振周波数 f の周波数データに基づき、周波数 $f_0 + f$ または周波数 $f_0 - f$ を演算し、アンテナ同調回路2およびRF同調回路4が同調すべき希望受信周波数 f のデータを生成するための回路である。

【0023】中間周波シフト回路12の次段にはデータ演算回路11が接続されている。このデータ演算回路11は、中間周波シフト回路12から与えられる周波数データに基づき、アンテナ同調回路2およびRF同調回路4に入力すべき直流電圧データを演算するための回路である。

【0024】データ演算回路11の次段には、デジタル-アナログコンバータ（以下、D/Aコンバータと略称する）10が接続されている。このD/Aコンバータ10は、データ演算回路11から与えられる直流電圧データを直流電圧に変換してアンテナ同調回路2およびRF同調回路4に与える回路である。

【0025】図2は、上記アンテナ同調回路2およびRF同調回路4の具体的な構成の一例を示す回路図である。同調コイルL1には、温度補償コンデンサC1、トリマCtが並列に接続され、さらに可変容量ダイオードVC1を介してバイパスコンデンサC2が並列に接続されている。可変容量ダイオードVC1とバイパスコンデンサC2との接続点には、抵抗R1を介して入力端子21が接続され、この入力端子21にアンテナ同調回路2およびRF同調回路4を希望受信周波数に同調させるための直流電圧、つまりD/Aコンバータ10から与えられる直流電圧が入力される。出力信号は、同調コイルL1に接続された出力端子22, 23のいずれかから取出される。

【0026】図2の回路に示す可変容量ダイオードVC1の容量Cは、印加される直流電圧をVとすると、

【0027】

【数1】

5

$$C = K1 (V)^{-1/2}$$

【0028】と表せる。ただし、 $K1$ 、 $K2$ はそれぞれ定数である。

【0029】図3は、一般的な可変容量ダイオードの電圧-容量特性の一例を示す図である。この場合の容量 C と電圧 V の関係式は、

【0030】

【数2】

$$C = K1 (V + K3)^{-1/2}$$

【0031】と表すことができる。ただし、 $K1$ 、 $K2$ 、 $K3$ はそれぞれ定数であり、バリキャップ固有の物理的特性によって決まるものである。

【0032】図2の同調回路において、同調コイル $L1$ のインダクタンスを L 、コンデンサ C 、トリマ Ct の合成容量を $C\phi$ 、共振周波数を f とすると、この同調回路が目的の共振周波数 f に共振するために可変容量ダイオード $VC1$ に印加すべき直流電圧 V 、つまり上記同調回路が希望受信周波数 f に同調するのに必要な直流電圧 V は、

【0033】

【数3】

$$V = \{1 / (4\pi f L K1) - C\phi / K1\}^{-1/2} - K3$$

【0034】と表される。ただし、 $K1$ 、 $K2$ 、 $K3$ は定数である。

【0035】図4は、図1における局部発振器14の具体的な構成を示すブロック図である。発振器(OSC)21は、10MHz、20MHz、30MHzの各周波数を選択可能な発振器であり、発振器22、23は10MHz、11MHz、12MHz、…、19MHzまでの1MHzおきのステップを有する周波数を選択可能な発振器である。また、発振器24、25はそれぞれ64MHz、10MHzを発振する発振器であり、これら全ての発振器の周波数は、1つあるいは2つの水晶共振回路からの出力を基準にして分周、混合することによって生成される。ここでは、発振器を5つのブロックに分けて示しているが、同一の周波数となる信号源は1つである。

【0036】加算器26は、発振器24、25の出力周波数を加算した74MHzの周波数信号を得る回路であり、加算器27は上記加算器26からの出力周波数と発振器23の出力周波数とを加算した84MHzから93MHzまでの1MHzおきの周波数信号を任意に選択して出力する回路である。

【0037】分周器28は、加算器27の出力周波数を10分の1に分周して、8.4MHzから9.3MHzまでの100KHzおきの周波数信号を任意に選択して出力する回路である。

【0038】また、加算器29は、上記分周器28から

(4)

特開平4-358422

6

の出力周波数と発振器24からの出力周波数とを加算した72.4MHzから73.3MHzまでの100KHzおきの周波数信号を任意に選択して出力する回路である。

【0039】加算器30は、上記加算器29からの出力周波数と発振器22で選択された出力周波数とを加算した82.4MHzから92.3MHzまでの100KHzおきの周波数信号を出力する回路である。

10 【0040】さらに、加算器31は、上記加算器30からの出力周波数と発振器21からの出力周波数とを加算した92.4MHzから122.3MHzまでの100KHzおきの周波数信号を出力する回路であり、この周波数信号は出力端子32から取出される。

【0041】これとは別に、前記周波数データレジスタ13から与えられる局部発振周波数 f_0 の周波数データに基づき、出力端子32からその局部発振周波数 f_0 が得られるように各発振器21、22、23の発振周波数を高速に選択する周波数選択回路33が設けられる。

20 【0042】図5は、上記スーパー受信機の動作を説明するフローチャートである。ステップa1において、システムコントローラ15から希望受信周波数 f に対応する局部発振周波数 f_0 の周波数データが周波数データレジスタ13に与えられ保持されると、ステップa2では周波数データレジスタ13からこの周波数データを受け取る局部発振器14が、局部発振周波数 f_0 で発振し、その局発信号が混合器5に入力される。

30 【0043】一方、ステップa3において、周波数データレジスタ13から局部発振周波数 f_0 の周波数データを受け取る中間周波数シフト回路12では、中間周波数 f_1 に基づき周波数 $f_0 + f_1$ または $f_0 - f_1$ が演算され、ステップa4では、その演算結果からアンテナ同調回路2およびRF同調回路4が同調すべき周波数、つまり上記局部発振周波数 f_0 に対応する希望受信周波数 f のデータが出力される。

【0044】ステップa5において、データ演算回路11では、中間周波数シフト回路12から出力されるデータを受け、このデータに基づき前記数3で示される演算が行われ、その演算結果が直流電圧データとして出力される。ステップa6において、この直流電圧データがD/Aコンバータ10で直流電圧に変換され、その直流電圧はアンテナ同調回路2およびRF同調回路4に入力される。その結果、ステップa7において、アンテナ同調回路2およびRF同調回路4は受信を希望する周波数 f に同調し、その周波数の信号が受信される。

50 【0045】一般的に使用される中間周波数を10.7MHz、希望受信周波数 f よりも局部発振周波数 f_0 が高いものとする、このスーパー受信機では、81.7MHzから111.6MHzまで100KHzステップで受信可能となる。

(5)

特開平4-358422

7

【0046】この受信信号 f は混合器5に入力され、同様に局部発振器14から混合器5に入力される局発信号と混合され、中間周波数 f の信号に変換される。この中間周波数信号は中間周波増幅器6で増幅され、さらに復調回路7で低周波信号に復調され、低周波増幅器8で増幅されてスピーカ9で再生される。

【0047】上記データ演算回路11、中間周波シフト回路12、周波数データレジスタ13はデジタル論理回路で構成されるので、その応答速度は局部発振回路14の周波数切換速度に十分追従でき、かつD/Aコンバータ10も十分にこの変化に追従可能である。

【0048】したがって、選局速度が高速で、かつPLLシンセサイザ方式のスーパー受信機と同等の受信帯域をカバーできることになる。

【0049】なお、上記実施例のスーパー受信機の経済性をさらに高めるために、データ演算回路11、中間周波シフト回路12、周波数データレジスタ13の機能を全て、もしくは一部をプログラム制御方式のマイクロコンピュータで代用してもよく、さらにシステムコントローラ15も含めて1つのマイクロコンピュータで構成してもよい。

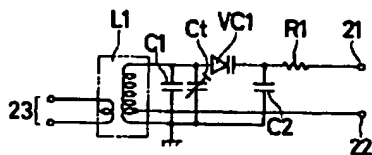
【0050】また、上記プログラム制御において、データ演算速度が高速選局の障害となる場合には、つぎのような構成としてもよい。

【0051】すなわち、予め演算された周波数対電圧のデータを必要とする受信周波数全てもしくは一部についてメモリに保存しておき、周波数データの入力に応じて、直ちにその周波数に対応した番地のメモリデータを参照し、直接あるいは近似値を求めてD/Aコンバータ10に与えることによって選局の高速化を図るものである。

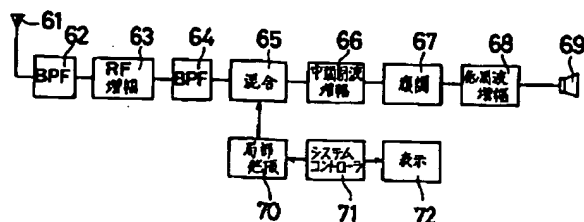
【0052】また、上記実施例では、始めに局部発振周波数 f_0 を指定して、これに対応する受信周波数 f を中間周波数 f_1 分だけシフトさせるようにしているが、逆に始めに受信周波数 f を指定して、中間周波数 f_1 分だけシフトした局部発振周波数 f_0 を得るようにしてもよい。

【0053】

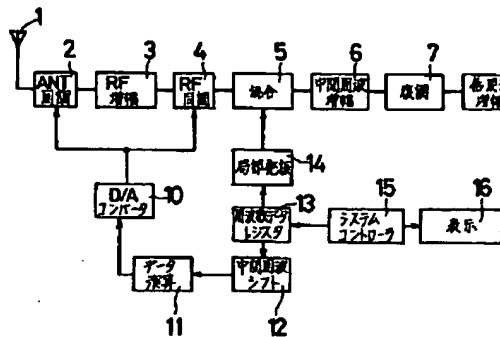
【図2】



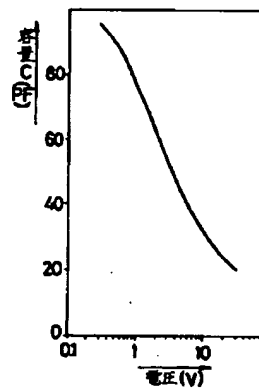
【図7】



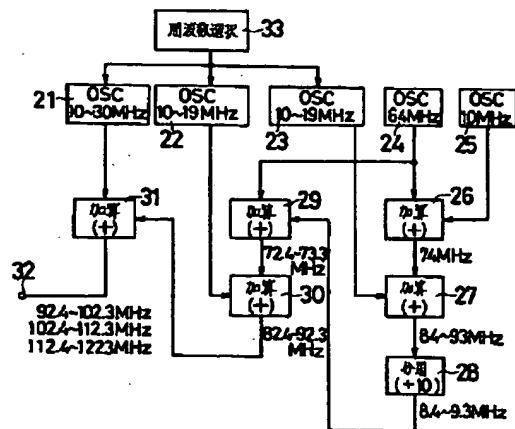
【図1】



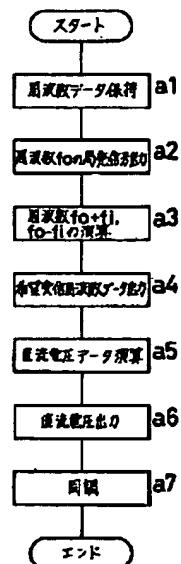
【図3】



【図4】



【図5】



【図6】

